

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Hyun-Soo PARK et al.

Application No.: New

Group Art Unit: New

Filed: January 28, 2004

Examiner: New

For: APPARATUS FOR GENERATING CLOCK SIGNAL IN OPTICAL DISK AND METHOD THEREOF

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Korean Patent Application No(s). 2003-30505

Filed: May 14, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

By: 

Michael D. Stein
Registration No. 37,240

Date: January 28, 2004

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0030505
Application Number

출원 년 월 일 : 2003년 05월 14일
Date of Application MAY 14, 2003

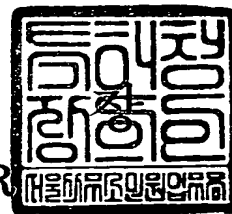
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 31 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.05.14
【국제특허분류】	G11B
【발명의 명칭】	광 디스크의 클럭 생성장치 및 방법
【발명의 영문명칭】	Clock generation apparatus and method of optical disk
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	박현수
【성명의 영문표기】	PARK, Hyun Soo
【주민등록번호】	700802-1067316
【우편번호】	120-091
【주소】	서울특별시 서대문구 홍제1동 312-240 동일아파트 701호
【국적】	KR
【발명자】	
【성명의 국문표기】	이재진
【성명의 영문표기】	LEE, Jae Jin
【주민등록번호】	611116-1037414

【우편번호】	143-760
【주소】	서울특별시 광진구 구의동 현대아파트 205동 804호
【국적】	KR
【발명자】	
【성명의 국문표기】	홍유표
【성명의 영문표기】	HONG, Yu Pyo
【주민등록번호】	680106-1001117
【우편번호】	135-942
【주소】	서울특별시 강남구 일원동 731번지 한솔아파트 301동 405호
【국적】	KR
【발명자】	
【성명의 국문표기】	심재성
【성명의 영문표기】	SHIM, Jae Seong
【주민등록번호】	641223-1058515
【우편번호】	143-191
【주소】	서울특별시 광진구 자양1동 610-35호
【국적】	KR
【발명자】	
【성명의 국문표기】	배주한
【성명의 영문표기】	BAE, Ju Han
【주민등록번호】	730412-1480911
【우편번호】	137-930
【주소】	서울특별시 서초구 반포1동 반포주공3단지 353동 402호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	34,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 광 디스크에 기록된 데이터를 재생하기 위한 클럭의 생성에 관한 것으로, 구체적으로는 입력신호에 동기된 안정적인 클럭을 생성하는 장치 및 방법에 관한 것이다. 본 발명의 클럭 생성장치는, 제어전압신호에 따라 변동되는 주파수의 클럭신호를 생성하는 전압제어 발진기; 소정의 입력신호와 상기 클럭신호를 수신하여 두 신호간의 위상차를 검출하고, 상기 위상차에 대응되는 소정의 제1제어전압을 생성하는 위상 보상부; 상기 입력신호와 상기 클럭신호를 수신하여 두 신호간의 주파수 차를 검출하고, 상기 주파수 차에 대응되는 소정의 제2제어전압을 생성하는 주파수 보상부; 및 상기 제1제어전압 및 제2제어전압을 합한 상기 제어전압신호를 생성하는 가산기를 포함한다. 본 발명의 클럭 생성장치 및 방법을 사용하면, 입력 신호의 주파수와 발진 주파수간의 차이가 많이 나는 경우에도 안정적으로 주파수 에러를 구하여 안정적으로 클럭을 생성할 수 있는 효과가 있다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

광 디스크의 클럭 생성장치 및 방법 {Clock generation apparatus and method of optical disk}

【도면의 간단한 설명】

도 1은 일반적인 PLL 회로의 블록도이다.

도 2는 주파수 검출기가 추가된 PLL 회로의 블록도이다.

도 3은 입력 신호의 오차가 이치화 레벨(binary level)을 넘어서는 경우를 도시한 도면이다.

도 4는 전압제어발진기의 발진 주파수가 $(1/2)T$ 로 낮아졌을 때 입력 데이터의 손실을 도시한 도면이다.

도 5는 본 발명의 PLL 회로의 블록도이다.

도 6은 본 발명의 클럭 생성방법의 플로우차트이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 광 디스크에 기록된 데이터를 재생하기 위한 클럭의 생성에 관한 것으로, 구체적으로는 입력신호에 동기된 안정적인 클럭을 생성하는 장치 및 방법에 관한 것이다.

<8> CD(Compact Disc) 또는 DVD(Digital Versatile Disc)와 같은 광 디스크의 표면에는 이진 값이 기록되어 있고, 기록된 이진값은, 광 디스크에 레이저와 같은 광을 입사시키고 반사되어

나오는 광 신호를 읽음으로써 재생될 수 있다. 광 디스크에는 이진값이 기록되어 있으나, 광 디스크의 특성과 광 신호의 특성으로 인해 광 디스크에서 읽은 신호는 아날로그 신호인 RF(Radio Frequency) 신호이므로, 이를 디지털 신호로 변환하는 과정이 필요하다.

- <9> 광 디스크에 저장된 데이터를 복원하기 위해서 아날로그 디지털 변환기(Analog/Digital Converter : ADC) 및 위상고정루프(Phase Locked Loop : PLL) 회로가 필요하다. PLL 회로는 디지털 데이터를 복원하기 위한 시스템 클럭 신호를 입력신호와 동기를 맞추어 출력한다.
- <10> 도 1은 일반적인 PLL 회로의 블록도이다.
- <11> PLL 회로는 위상 검출기(Phase Detector : PD)(110), 루프 필터(loop filter)(120) 및 전압제어발진기(Voltage Controlled Oscillator : VCO)(130)를 구비한다.
- <12> 위상 검출기(PD)(110)는 입력신호와 전압제어발진기(VCO)(130)에서 출력되는 클럭 신호 사이의 위상차를 검출한다. 검출된 위상차는 루프 필터(120)로 입력된다. 루프 필터(120)는 검출된 위상차 성분을 누적시키고 전압 성분으로 바꾸어 전압제어발진기(130)에 입력한다. 전압 제어발진기(VCO)(130)는 루프 필터(120)로부터 제어전압신호를 수신하여 클럭을 생성한다.
- <13> 도 2는 주파수 검출기가 추가된 PLL 회로의 블록도이다.
- <14> 일반적으로, 루프 필터(120)의 특성으로 인하여 PLL 회로가 동기시킬 수 있

는 주파수의 범위는 한계가 있으며, 실제로 PLL 회로에 의해 동기될 수 있는 주파수의 범위는 상당히 좁다. 전압제어발진기(130)에서 출력되는 클럭 신호의 주파수와 입력 신호의 주파수가 크게 차이가 나는 경우에는 PLL 회로가 동작을 하지 않기 때문에 전압제어발진기(130)의 클럭 신호와 입력신호간에 동기를 맞출 수가 없다. 이러한 문제를 해결하기 위해 입력 신호의 주파수와 전압제어발진기(130)의 클럭신호의 주파수간에 차이가 많이 나는 경우에는 주파수 검출기(Frequency Detector : FD)(140)를 사용해서 전압제어발진기(130)로부터 출력되는 클럭 신호의 주파수를 입력 신호의 주파수와 비슷하게 만들어 PLL 회로를 동작시킨다.

<15> 주파수 검출기(140)는 다양한 구조로 설계될 수 있다. 입력신호에는 데이터 신호와 동기 신호(sync signal)가 있는데, 일반적으로는 입력 신호에 포함된 가장 긴 주기를 가지는 동기 신호를 이용하여 입력 주파수를 검출하도록 구성한다. 예를 들어 DVD와 같은 광 디스크의 경우는 가장 긴 주기를 가지는 데이터 신호가 동기 신호에 포함된 14T(T:기본 주기)의 주기를 갖는 신호인데, 정상적으로 PLL 회로가 동작하는 경우에는 14T의 주기의 신호가 검출되지만, 전압 제어발진기(130)의 발진 클럭의 주파수가 빨라지거나 느려지는 경우에는 14T가 아닌, 이보다 빠르거나 느린 주기의 신호로 검출된다. 따라서 주파수 검출기(140)는 입력신호의 일정 구간내에서 가장 주기가 긴 신호를 검출해서, 검출된 신호의 주기와 14T와의 차를 가지고 주파수의 차이가 얼마나 되는가를 알아낸다.

<16> 도 3은 입력 신호의 오차가 이치화 레벨(binary level)을 넘어서는 경우를 도시한 도면이다.

<17> 입력 신호의 크기가 0 레벨보다 큰 경우에는 1로 검출되고, 0 레벨보다 작은 경우에는 0으로 검출된다. 최근 들어 광디스크의 기록 밀도가 높아짐에 따라 재생되는 신호의 품질이 점점 저하되고 있다. 신호의 품질이 저하되어 입력신호의 오차가 도 3에서 참조한 바와 같이 이

치화 레벨을 넘어서는 경우가 있는데, 이러한 경우에는 입력신호가 정확히 검출되지 않아서 가장 긴 주기를 가지는 신호가 잘못 검출될 수 있다. 다시 말하면, 원래 신호에서 1로 검출되어야 할 부분(310)이 왜곡된 신호에서는 0(320)으로 검출될 수 있고, 따라서 가장 긴 주기값이 잘못 검출될 수 있다.

<18> 도 4는 전압제어발진기의 발진 주파수가 $(1/2)T$ 로 낮아졌을 때 입력 데이터의 손실을 도시한 도면이다.

<19> 즉, 발진 주파수가 급격하게 변하는 경우에 주파수 검출기가 오동작하는 경우가 생길 수 있다. 예를 들어 입력신호 중 최단주기를 가지는 신호가 $2T$ 주기를 갖는 신호일 경우, 발진 주파수가 $(1/2)T$ 이하로 급격하게 변하는 경우에는 $2T$ 신호가 $1T$ 신호 이하로 검출되는 경우가 생기며, 심지어는 0 레벨을 통과하지 않는 것으로 판단될 수 있기 때문에, 가장 긴 주기의 주파수를 검출하는 주파수 검출기가 오동작할 확률이 높아진다는 문제점이 있다. 즉, 도 4를 참조하면 알 수 있듯이 데이터가 손실되는 부분(410)이 발생할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명이 이루고자 하는 기술적 과제는, 광 디스크에서 동기신호가 대칭으로 나오는 경우에 대칭된 동기 신호를 이용하여 주파수 검출기를 동작시켜, 입력 신호에 잡음이 섞여 있어 입력 신호가 왜곡되는 경우나 발진 클럭의 주파수가 급격히 변화하는 경우에도 주파수 검출을 하여 안정적으로 클럭을 생성하는 클럭 생성장치 및 방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<21> 상기의 과제를 이루기 위하여 본 발명에 의한 클럭 생성장치는, 제어전압신호에 따라 변동되는 주파수의 클럭신호를 생성하는 전압제어발진기; 소정의 입력신호와 상기 클럭신호를 수

신하여 두 신호간의 위상차를 검출하고, 상기 위상차에 대응되는 소정의 제1제어전압을 생성하는 위상 보상부; 상기 입력신호와 상기 클럭신호를 수신하여 두 신호간의 주파수 차를 검출하고, 상기 주파수 차에 대응되는 소정의 제2제어전압을 생성하는 주파수 보상부; 및 상기 제1제어전압 및 제2제어전압을 합한 상기 제어전압신호를 생성하는 가산기를 포함한다.

<22> 또한, 상기 위상 보상부는, 상기 소정의 입력신호와 상기 클럭신호를 수신하여 두 신호간의 위상차를 검출하는 위상 검출기; 및 상기 위상검출기의 출력을 필터링하고, 상기 위상차신호에 대응되는 전압값을 출력하는 루프 필터를 구비하는 것이 바람직하다.

<23> 또한, 상기 주파수 보상부는, 상기 입력신호가 + 인 구간동안 상기 클럭의 수를, 각각의 + 구간마다 카운트하여, 소정의 시간동안 가장 큰 값을 출력하는 제1최대주기 검출부; 상기 입력신호가 - 인 구간동안 상기 클럭의 수를, 각각의 - 구간마다 카운트 하여, 소정의 시간동안 가장 큰 값을 출력하는 제2최대주기 검출부; 상기 제1최대주기값과 제2최대주기값을 수신하여 상기 입력신호가 오류신호인가를 판단하는 최대주기 판정부; 및 상기 최대주기 판정부에서 출력된 신호와 소정의 값을 비교하여 그 차이에 해당하는 제어전압을 생성하는 주파수 에러 생성부를 포함하는 것이 바람직하다.

<24> 상기의 과제를 이루기 위하여 본 발명에 의한 주파수 보상장치는, 입력신호가 + 인 구간동안 소정의 클럭의 수를, 각각의 + 구간마다 카운트하여, 소정의 시간동안 가장 큰 값을 출력하는 제1최대주기 검출부; 입력신호가 - 인 구간동안 소정의 클럭의 수를, 각각의 - 구간마다 카운트 하여, 소정의 시간동안 가장 큰 값을 출력하는 제2최대주기 검출부; 상기 제1최대주기값과 제2최대주기값을 수신하여 상기 입력신호가 오류신호인가를 판단하는 최대주기 판정부; 및 상기 최대주기 판정부에서 출력된 신호와 소정의 값을 비교하여 그 차이에 해당하는 제어전압을 생성하는 주파수 에러 생성부를 포함한다.

- <25> 상기의 과제를 이루기 위하여 본 발명에 의한 클럭 생성방법은, (a) 제어전압신호에 따라 변동되는 주파수의 클럭신호를 생성하는 단계; (b) 소정의 입력신호와 상기 클럭신호를 수신하여 두 신호간의 위상차를 검출하고, 상기 위상차에 대응되는 제1제어전압을 출력하는 단계; (c) 상기 입력신호와 상기 클럭신호를 수신하여 두 신호간의 주파수 차를 검출하고, 상기 주파수 차에 대응되는 제2제어전압을 출력하는 단계; 및 (d) 상기 제1제어전압 및 제2제어전압을 합하여 생성된 제어전압신호에 따라 상기 클럭신호의 주파수를 조정하여 클럭신호를 생성하는 단계를 포함한다.
- <26> 상기의 과제를 이루기 위하여 본 발명에 의한 주파수 보상방법은, (a) 소정의 최대 주기값을 수신하는 단계; (a) 한 주기의 입력신호를 더 입력받아 + 또는 - 인 구간동안의 클럭의 수를 카운트한 값을, 상기 최대주기값과 비교하는 단계; 및 (b) 상기 비교결과, 그 차이가 소정의 값 이하이면 두 값중 어느 한 값을 출력하거나 두 값의 평균값을 출력하는 것을 특징으로 주파수 에러검출 단계를 포함한다.
- <27> 상기한 과제를 이루기 위하여 본 발명에서는, 상기 방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체를 제공한다.
- <28> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명한다.
- <29> 도 5는 본 발명의 PLL 회로의 블록도이다.
- <30> PLL 회로는 신호증폭필터(signal boost filter)(510), 이진화 수행부(520), 주파수 검출기(530), 위상 검출기(540), 루프 필터(550) 및 전압제어발진기(560)를 구비한다. 위상 검출기(540)와 루프 필터(550)를 포함하여 위상 보상부(580)라 하고, 신호증폭필터(signal

boost filter)(510), 이진화 수행부(520), 주파수 검출기(530), 위상 검출기(540), 루프 필터(550) 및 전압제어발진기(560)를 포함하여 주파수 보상부(590)라 한다.

- <31> 광 디스크에서 읽어낸 RF 신호는 신호증폭필터(510)와 위상검출기(540)로 입력된다. 신호증폭필터(510)는 입력 신호의 주파수 검출효율을 높이기 위하여 입력신호를 증폭시킨다. 신호증폭필터(510)는 다양하게 구성될 수 있으며, 본 발명에 반드시 필요한 요소는 아니다.
- <32> 신호증폭필터(510)는 입력 신호를 증폭하는 기능을 수행한다. 특히 입력 신호의 주파수 성분 중 주로 고주파 성분을 증폭한다. 입력 신호에는 여러가지 원인에 의해 잡음이 많이 포함되어 있다. 특히, 입력 신호가 0인지 1인지 판별하는 기준이 되는 기준 레벨근처에서 잡음이 많다. 따라서, 입력신호에서 변화가 심한 고주파 성분을 많이 증폭시키면 기준 레벨 근처의 고주파 잡음 때문에 발생하는 데이터 재생 에러를 방지할 수 있다.
- <33> 위상 검출기(540)는 전압제어발진기(560)로부터 출력되는 발진클럭과 입력 신호와의 위상차를 검출한다. 위상 검출기(540)의 출력은 위상 에러인데, 출력된 위상 에러는 루프 필터(550)로 입력된다. 루프 필터(550)는 수신한 위상 에러를 필터링하고 전압제어발진기(560)의 발진클럭 주파수를 제어하기 위한 제어전압으로 바꾼다.
- <34> 신호증폭필터(510)를 거쳐 증폭된 신호는 이치화 수행부(520)에 의해 이진값으로 변환된다. 본 발명의 PLL 회로는 아날로그 입력신호에 대해서도 사용될 수 있으므로 이치화 수행부(520)가 반드시 필요한 것은 아니다.
- <35> 이치화 수행부(520)에서 출력된 신호는 주파수 검출기(530)로 입력된다. 주파수 검출기(530)는 입력 신호에서 가장 긴 주기를 가지는 신호의 길이를 감지해서 출력한다. 주파수 검출기(530)는 양 최대주기 검출부(Positive Maximum Period detector)(531)와 음 최대주기

검출부(Negative Maximum Period detector)(532) 최대주기 판정부(maximum period detector)(533) 및 주파수 에러 생성부(534)를 구비한다.

<36> 이치화 수행부(520)에서 출력된 이진값이 "---100001111010000011111110---" 와 같은 경우, 양 최대주기 검출부(531)는 연속된 1의 개수를 카운트하여 소정의 구간내에서의 최대값을 출력한다. 상술한 예와 같은 이진값이 입력된 경우에 양 최대주기 검출부(531)에서 출력되는 최대값은 7이다. 동일한 방법으로, 음 최대주기 검출부(532)는 연속된 0의 개수를 카운트하여 소정의 구간내에서의 최대값을 출력한다. 상술한 예와 같은 이진값이 입력된 경우에 음 최대주기 검출부(532)에서 출력되는 최대값은 5이다.

<37> 이치화 수행부(520)를 거치지 않고 직접 아날로그 신호가 양 최대주기 검출부(531)와 양 최대주기 검출부(532)에 입력될 수도 있다. 이 경우, 양 최대주기 검출부(531)는 입력신호가 + 인 구간동안 시스템 클럭의 수를 카운트한다. 입력신호가 + 인 구간은 일정한 시간동안 여러 번 나올 수 있으므로 각 구간에서의 시스템 클럭의 수를 각각 카운트한다. 그리고, 이들 카운트된 값들 중 최대값을 출력한다. 동일한 방법으로, 음 최대주기 검출부(532)는 입력신호가 - 인 구간동안 시스템 클럭의 수를 카운트한다. 입력신호가 - 인 구간도 일정한 시간동안 여러 번 나올 수 있으므로 각 구간에서의 시스템 클럭의 수를 각각 카운트한다. 그리고, 이들 카운트된 값들 중 최대값을 출력한다. 양 최대주기 검출부(531)와 음 최대주기 검출부(532)는 입력신호의 부호에 따라 각각의 최대값을 구한다는 차이만 있고 그 기능은 동일하다.

<38> 이렇게 검출된 양 최대 주기와 음 최대 주기는 최대주기 판정부(533)로 입력된다. 최대주기 판정부(533)는 상기 양 최대주기 검출부(531)와 음 최대주기 검출부(532)로부터 수신된 양 최대 주기와 음 최대 주기를 비교하여 후술하는 방법에 의해 입력신호의 오류여부를 판단하고 최대 주기값을 계산하여 출력한다.

- <39> 최대 주기 판정부(533)가 오류를 판정하는 방법의 일실시예를 설명한다. 첫번째 방법은 일정한 시간이 지난 다음, 입력된 양 최대 주기와 음 최대 주기를 비교해서 두 값의 차이가 소정의 범위 이하이면 두 값이 다 유효한 것으로 판단해, 두 값중 어느 한 값을 출력하거나 두 값의 평균값을 출력하는 방법이다. 일정한 시간을 작게 작으면 그 시간 안에 동기신호가 포함되지 않을 수도 있고, 너무 크게 잡으면 PLL의 성능이 떨어진다. 소정의 범위를 작게 설정하면 보다 정밀하게 PLL회로를 제어할 수 있으나, 크게 설정하면 최대 주기 판정부의 오차가 커진다.
- <40> 두번째 방법은, 양 최대 주거나 음 최대 주기가 갱신되는 경우에 다음 제로 크로싱을 할 때, 즉 0 레벨을 통과할 때까지의 한 주기의 신호를 추가로 입력받아 + 또는 - 인 구간동안의 시스템 클럭의 수를 카운트한 주기값을, 이전에 검출된 최대주기값과 비교하여, 그 차이가 일정한 값 이하이면 두 값중 어느 한값을 출력하거나 두 값의 평균값을 출력한다.
- <41> 상술한 두가지 방법 모두 동기 신호가 최대 주기를 가지면서 대칭적으로 나오는 경우에 사용될 수 있으며, 이렇게 검출된 최대 주기값은 주파수 에러 생성부(534)로 입력된다. 주파수 에러 생성부(534)는 수신된 최대 주기값과 DVD의 동기신호의 주기인 14T와 비교하여 그 차이를 출력한다. 그리고 이 차이에 해당되는 전압값을 출력한다.
- <42> 주파수 검출기(530)와 루프 필터(550)의 출력 신호는 가산기(570)에서 더해지는데, 주파수 검출기(530)는 주파수 에러에 따른 전압값을 출력하고, 루프 필터(550)는 위상 에러에 따른 전압값을 출력하므로, 이 두 전압값을 합산해서 전압제어발진기(560)로 입력시키면 원하는 주파수의 발진 클럭 신호를 얻을 수 있다. 전압제어발진기(560)는 제어전압을 입력받아 이에 대응되는 주파수의 클럭신호를 생성하는 장치이다.
- <43> 도 6은 본 발명의 클럭 생성방법의 플로우차트이다.

- <44> 제어전압신호에 따라 변동되는 주파수의 클럭신호를 생성한다(S610). 그리고, 소정의 입력신호와 상기 클럭신호를 수신하여 두 신호간의 위상차를 검출하고, 상기 위상차에 대응되는 소정의 제1제어전압을 출력한다(S620). 또한, 상기 입력신호와 상기 클럭신호를 수신하여 두 신호간의 주파수 차를 검출하고, 상기 주파수 차에 대응되는 소정의 제2제어전압을 출력한다(S630).
- <45> 상기 제1제어전압 및 제2제어전압을 합하여 생성된 제어전압신호에 따라 상기 클럭신호의 주파수를 조정하여 클럭신호를 생성한다(S640).
- <46> 본 발명은 또한 컴퓨터로 읽을 수 있는 기록매체에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록장치를 포함한다. 컴퓨터가 읽을 수 있는 기록매체의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피디스크, 광 데이터 저장장치 등이 있으며, 또한 캐리어 웨이브(예를 들어 인터넷을 통한 전송)의 형태로 구현되는 것도 포함한다. 또한 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어, 분산방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.
- <47> 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

【발명의 효과】

- <48> 이상에서 설명한 바와 같이, 본 발명에 따른 클럭 생성방법 및 장치를 사용하면 다음과 같은 효과가 있다.
- <49> 첫째, 재생되는 신호의 품질이 좋지 않은 경우에도, 안정적으로 주파수 에러를 구할 수 있다. 둘째, 입력 신호의 주파수와 발진 주파수간의 차이가 많이 나는 경우에도 안정적으로 주파수 에러를 구할 수 있다. 셋째, 안정된 주파수 에러를 구함으로써 PLL 회로의 안정성이 높아진다. 넷째, PLL 회로의 안정성이 높아지면 광 디스크 재생장치의 성능이 향상된다. 따라서 신뢰성이 있는 광 디스크 재생장치를 만들 수 있다.

【특허청구범위】**【청구항 1】**

제어전압신호에 따라 변동되는 주파수의 클럭신호를 생성하는 전압제어발진기;

소정의 입력신호와 상기 클럭신호를 수신하여 두 신호간의 위상차를 검출하고, 상기 위상차에 대응되는 소정의 제1제어전압을 생성하는 위상 보상부;

상기 입력신호와 상기 클럭신호를 수신하여 두 신호간의 주파수 차를 검출하고, 상기 주파수 차에 대응되는 소정의 제2제어전압을 생성하는 주파수 보상부; 및

상기 제1제어전압 및 제2제어전압을 합한 상기 제어전압신호를 생성하는 가산기를 포함하는 것을 특징으로 하는 클럭 생성장치.

【청구항 2】

제1항에 있어서, 상기 소정의 입력신호는

광 디스크에 기록된 데이터를 읽어낸 RF 신호인 것을 특징으로 하는 클럭 생성장치.

【청구항 3】

제1항에 있어서, 상기 위상 보상부는

상기 소정의 입력신호와 상기 클럭신호를 수신하여 두 신호간의 위상차를 검출하는 위상 검출기; 및

상기 위상검출기의 출력을 필터링하고, 상기 위상차 신호에 대응되는 전압값을 출력하는 루프 필터를 포함하는 것을 특징으로 하는 클럭 생성장치.

【청구항 4】

제1항에 있어서, 상기 주파수 보상부는

상기 입력신호의 고주파 성분을 증폭시키는 증폭기를 포함하는 것을 특징으로 하는 클럭 생성장치.

【청구항 5】

제1항에 있어서, 상기 주파수 보상부는

상기 입력신호를 디지털 신호로 변환하는 이치화 수행부를 포함하는 것을 특징으로 하는 클럭 생성장치.

【청구항 6】

제1항에 있어서, 상기 주파수 보상부는

상기 입력신호가 + 인 구간동안 상기 클럭의 수를, 각각의 + 구간마다 카운트하여, 소정의 시간동안 가장 큰 값을 출력하는 제1최대주기 검출부;

상기 입력신호가 - 인 구간동안 상기 클럭의 수를, 각각의 - 구간마다 카운트 하여, 소정의 시간동안 가장 큰 값을 출력하는 제2최대주기 검출부;

상기 제1최대주기값과 제2최대주기값을 수신하여 상기 입력신호가 오류신호인가를 판단하는 최대주기 판정부; 및

상기 최대주기 판정부에서 출력된 신호와 소정의 값을 비교하여 그 차이에 해당하는 제어전압을 생성하는 주파수 에러 생성부를 포함하는 것을 특징으로 하는 클럭 생성장치.

【청구항 7】

제6항에 있어서, 상기 소정의 값은

DVD 의 동기신호의 주기인 14T인 것을 특징으로 하는 클럭 생성장치.

【청구항 8】

제6항에 있어서, 상기 최대주기 판정부는

상기 제1최대주기값과 상기 제2최대주기값의 차이가 소정의 범위 이하이면 두 값중 어느 한 값을 출력하거나, 두 값의 평균값을 출력하는 것을 특징으로 하는 클럭 생성장치.

【청구항 9】

제6항에 있어서, 상기 최대주기 판정부는

한 주기의 입력신호를 추가로 입력받아 + 또는 - 인 구간동안의 클럭의 수를 카운트한 주기값을, 이전에 검출된 제1최대주기값 또는 제2최대주기값을 비교하여, 그 차이가 소정의 값 이하이면 두 값중 어느 한 값을 출력하거나 두 값의 평균값을 출력하는 것을 특징으로 하는 클럭 생성장치.

【청구항 10】

입력신호가 + 인 구간동안 소정의 클럭의 수를, 각각의 + 구간마다 카운트하여, 소정의 시간동안 가장 큰 값을 출력하는 제1최대주기 검출부;

입력신호가 - 인 구간동안 소정의 클럭의 수를, 각각의 - 구간마다 카운트 하여, 소정의 시간동안 가장 큰 값을 출력하는 제2최대주기 검출부;

상기 제1최대주기값과 제2최대주기값을 수신하여 상기 입력신호가 오류신호인가를 판단하는 최대주기 판정부; 및

상기 최대주기 판정부에서 출력된 신호와 소정의 값을 비교하여 그 차이에 해당하는 제어전압을 생성하는 주파수 에러 생성부를 포함하는 것을 특징으로 하는 주파수 보상장치.

【청구항 11】

제10항에 있어서, 상기 최대주기 판정부는

상기 제1최대주기값과 상기 제2최대주기값의 차이가 소정의 범위 이하이면 두 값중 어느 한 값을 출력하거나, 두 값의 평균값을 출력하는 것을 특징으로 하는 주파수 보상장치.

【청구항 12】

제10항에 있어서, 상기 최대주기 판정부는

한 주기의 입력신호를 추가로 입력받아 + 또는 - 인 구간동안의 클럭의 수를 카운트한 주기값을, 이전에 검출된 제1최대주기값 또는 제2최대주기값을 비교하여, 그 차이가 소정의 값 이하이면 두 값중 어느 한 값을 출력하거나 두 값의 평균값을 출력하는 것을 특징으로 하는 주파수 보상장치.

【청구항 13】

(a) 제어전압신호에 따라 변동되는 주파수의 클럭신호를 생성하는 단계;

(b) 소정의 입력신호와 상기 클럭신호를 수신하여 두 신호간의 위상차를 검출하고, 상기 위상차에 대응되는 제1제어전압을 출력하는 단계;

(c) 상기 입력신호와 상기 클럭신호를 수신하여 두 신호간의 주파수 차를 검출하고, 상기 주파수 차에 대응되는 제2제어전압을 출력하는 단계; 및

(d) 상기 제1제어전압 및 제2제어전압을 합하여 생성된 제어전압신호에 따라 상기 클럭 신호의 주파수를 조정하여 클럭신호를 생성하는 단계를 포함하는 것을 특징으로 하는 클럭 생성방법.

【청구항 14】

제13항에 있어서, 상기 소정의 입력신호는

광 디스크에 기록된 데이터를 읽어낸 RF 신호인 것을 특징으로 하는 클럭 생성방법.

【청구항 15】

제13항에 있어서, 상기 (b) 단계는

(b1) 상기 소정의 입력신호와 상기 클럭신호를 수신하여 두 신호간의 위상차를 검출하는 단계; 및

(b2) 상기 위상차 신호를 수신하여 필터링하고, 상기 위상차 신호에 대응되는 전압값을 출력하는 단계를 포함하는 것을 특징으로 하는 클럭 생성방법.

【청구항 16】

제13항에 있어서, 상기 (c) 단계는

상기 입력신호의 고주파 성분을 증폭시킨 신호와 상기 클럭신호를 수신하여 두 신호간의 주파수 차를 검출하고, 상기 주파수 차에 대응되는 제2제어전압을 출력하는 것을 특징으로 하는 클럭 생성방법.

【청구항 17】

제13항에 있어서, 상기 (c) 단계는

상기 입력신호를 디지털 신호로 변환하여 상기 입력신호로 사용하는 것을 특징으로 하는 클럭 생성방법.

【청구항 18】

제13항에 있어서, 상기 (c) 단계는

(c1) 상기 입력신호가 + 인 구간동안 상기 클럭의 수를, 각각의 + 구간마다 카운트하여, 소정의 시간동안 가장 큰 값을 제1최대주기값으로 출력하는 단계;

(c2) 상기 입력신호가 - 인 구간동안 상기 클럭의 수를, 각각의 - 구간마다 카운트 하여, 소정의 시간동안 가장 큰 값을 제2최대주기값으로 출력하는 단계;

(c3) 상기 제1최대주기값과 상기 제2최대주기값을 수신하여 상기 입력신호가 오류신호인가를 판단하고, 소정의 최대주기값을 출력하는 단계; 및

(c4) 상기 최대주기값을 소정의 값과를 비교하여 그 차이에 해당하는 제어전압을 생성하는 단계를 포함하는 것을 특징으로 하는 클럭 생성방법.

【청구항 19】

제18항에 있어서, 상기 (c4) 단계에서의 소정의 값은

DVD 의 동기신호의 주기인 14T인 것을 특징으로 하는 클럭 생성방법.

【청구항 20】

제18항에 있어서, 상기 (c3) 단계는

상기 제1최대주기값과 상기 제2최대주기값의 차이가 소정의 범위 이하이면 두 값중 어느 한 값을 출력하거나, 두 값의 평균값을 출력하는 것을 특징으로 하는 클럭 생성방법.

【청구항 21】

제18항에 있어서, 상기 (c3) 단계는

한 주기의 입력신호를 추가로 입력받아 + 또는 - 인 구간동안의 클럭의 수를 카운트한 값을, 이전에 검출된 제1최대주기값 또는 제2최대주기값과 비교하여, 그 차이가 소정의 값 이하이면 두 값중 어느 한값을 출력하거나 두 값의 평균값을 출력하는 것을 특징으로 하는 클럭 생성방법.

【청구항 22】

(a) 소정의 최대 주기값을 수신하는 단계;

(a) 한 주기의 입력신호를 더 입력받아 + 또는 - 인 구간동안의 클럭의 수를 카운트한 값을, 상기 최대주기값과 비교하는 단계; 및

(b) 상기 비교결과, 그 차이가 소정의 값 이하이면 두 값중 어느 한 값을 출력하거나 두 값의 평균값을 출력하는 것을 특징으로 주파수 에러검출 단계를 포함하는 것을 특징으로 하는 주파수 보상방법.

【청구항 23】

(a) 제어전압신호에 따라 변동되는 주파수의 클럭신호를 생성하는 단계;

(b) 소정의 입력신호와 상기 클럭신호를 수신하여 두 신호간의 위상차를 검출하고, 상기 위상차에 대응되는 제1제어전압을 출력하는 단계;

(c) 상기 입력신호와 상기 클럭신호를 수신하여 두 신호간의 주파수 차를 검출하고, 상기 주파수 차에 대응되는 제2제어전압을 출력하는 단계; 및

(d) 상기 제1제어전압 및 제2제어전압을 합하여 생성된 제어전압신호에 따라 상기 클럭신호의 주파수를 조정하여 클럭신호를 생성하는 단계를 포함하는 것을 특징으로 하는 클럭 생성방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

【청구항 24】

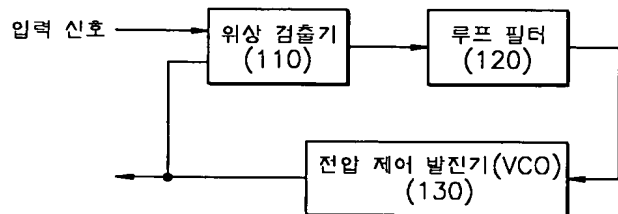
(a) 소정의 최대 주기값을 수신하는 단계;

(a) 한 주기의 입력신호를 더 입력받아 + 또는 - 인 구간동안의 클럭의 수를 카운트한 값을, 상기 최대주기값과 비교하는 단계; 및

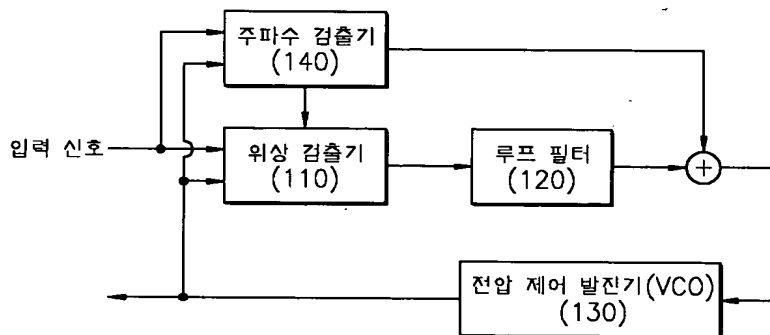
(b) 상기 비교결과, 그 차이가 소정의 값 이하이면 두 값중 어느 한 값을 출력하거나 두 값의 평균값을 출력하는 것을 특징으로 주파수 에러검출 단계를 포함하는 것을 특징으로 하는 주파수 보상방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

【도면】

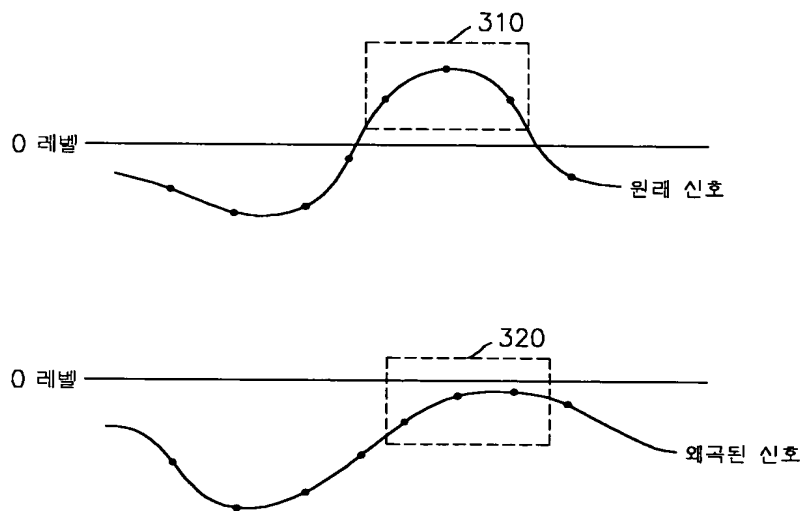
【도 1】



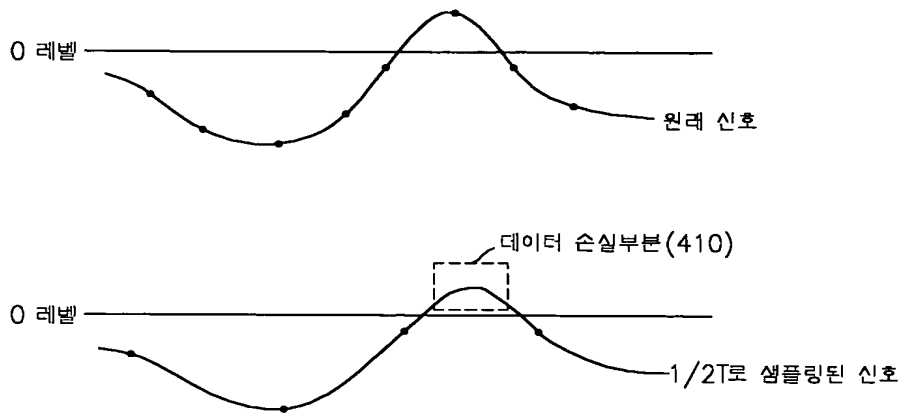
【도 2】



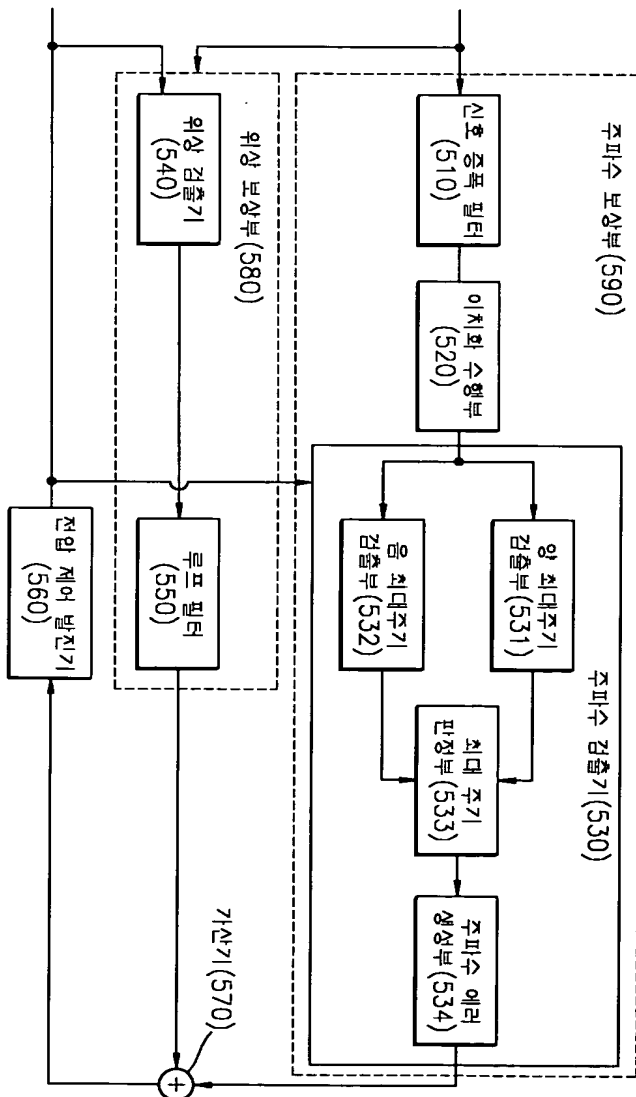
【도 3】



【도 4】



【도 5】



【도 6】

